Revista Internacional de Investigación e Innovación Tecnológica

Página principal: www.riiit.com.mx

Circuito igualador de fases que sincroniza multivibradores astables transistorizados: experimentos para autoenseñanza

Phase matching circuit that synchronizes transistorized astable multivibrators: experiments for self-teaching

Núñez-Pérez, R. F.

Centro de Investigación Científica y de Educación Superior de Ensenada, Dpto. de Electrónica y Telecomunicaciones, Carretera Ens.-Tij., 3918, zona playitas, Ensenada, B.C., México, C.P. 22860.
rnunez@cicese.mx

Innovación tecnológica: Conociendo como se realiza experimentalmente el igualamiento de las fases de los multivibradores emuladores de luciérnagas electrónicas, el alumno entenderá como el multivibrador transistorizado maestro va robando el ciclo de trabajo a los multivibradores esclavos y termina sincronizándolos; también este conocimiento le facilitará la construcción, sencilla y económicamente, de su propia red.

Área de aplicación industrial: El concepto de robo de ciclo entre multivibradores transistorizados, se utiliza en las redes de luciérnagas electrónicas optosincronizadas aquí mostradas y es fundamental para exhibir, en forma objetiva y práctica, el potencial que presenta la sincronización en el área industrial; en particular, para aplicarla a redes de control y de automatización de procesos industriales actuales y futuros.

Recibido: 11 noviembre 2020
Aceptado: 08 agosto 2021

Abstract

The result of synchronization has been extensively studied both theoretically and experimentally in various systems and for many reasons. In particular, biological systems, such as fireflies, have surprised and therefore continue to be emulated with integrated electronic oscillators. Although his theory and mathematical models are not easy to understand and much less to teach in environments where theoretical/practical knowledge on these subjects is medium, as has been observed in some industrial and academic communities with limited resources. It is here that a good opportunity is contemplated to promote and reinforce the self-teaching of these issues through the use of networks of optosynchronized electronic fireflies built with transistorized astable multivibrators**.** The job is to explain, in a simple and practical way, how dynamic equaling is performed between the phases of emulator oscillators through the theft of the slave cycle by the master. A coupling signal is used to work the collector-base voltage of the master-slave transistorized multivibrator, and a phase

dynamic matching circuit. Circuit that, in the case of an event of asynchrony, initiates the cycle theft as the equalizer pulses of the master are trimmed to the exponential voltage of the coupling signal until, after a certain number of cycles spent by the master (from 3 to 4 cycles), the master ends up becoming the slave cycle or synchronizing it. The equalization time of the phases depends on the start-up instant and the number of switches between the phases equalization circuit and slave time constants. The results are validated with simulations and with an application of cycle theft procedure to a self-teaching model, consisting of a network of electronic fireflies with transistorized astable multivibrators (protoboard), in a master scheme and two slaves. Self-synchronizes will soon be incorporated into multivibrators slaves; in the case of loss of synchronizing, they will have to keep harmonizing for a pre-set time.

Key words: synchronization, binary signal, astable multivibrators**,** cycle theft, electronic firefly.

Resumen

El resultado de la sincronización ha sido ampliamente estudiado tanto teórica como experimentalmente en diversos sistemas y por muchas razones. En particular, los sistemas biológicos, como las luciérnagas, han sorprendido y por ende siguen siendo emulados con osciladores electrónicos integrados. Aunque su teoría y modelos matemáticos no son sencillos de entender y mucho menos de enseñar en ambientes donde el conocimiento teórico/práctico sobre estos temas es mediano, como el que se ha observado en algunas comunidades académicas e industriales con recursos limitados. En vista de esto, se contempla una buena oportunidad para fomentar y reforzar la autoenseñanza de la sincronización y sus aplicaciones en redes de luciérnagas electrónicas optosincronizadas construidas con multivibradores astables transistorizados.

El trabajo consiste en explicar, en forma sencilla y práctica, como se realiza el igualamiento dinámico o la sincronización entre las fases de los osciladores emuladores por medio del robo del ciclo del esclavo por el maestro. Se utiliza una señal de acoplamiento, para trabajar los voltajes colector-base de los multivibradores transistorizados maestro-esclavo, y un circuito igualador dinámico de fases. Circuito que, ante un evento de asincronía, inicia el robo del ciclo mencionado conforme los pulsos igualadores del maestro van recortando al voltaje exponencial de la señal de acoplamiento hasta que, después de un cierto número de ciclos (v.g., de 3 a 4 ciclos), el maestro termina haciéndose de nuevo del ciclo del esclavo o sincronizándolo. El tiempo de igualación de las fases depende del instante de arranque y de la cantidad de conmutaciones entre las constantes de tiempo del circuito igualador de fases y del esclavo. Se validan los resultados con simulaciones y con una aplicación del procedimiento de robo de ciclo a una maqueta de autoenseñanza (v.g., en tablillas de simulación), constituida por una red de luciérnagas electrónicas con multivibradores astables transistorizados, en un esquema de maestro y dos esclavos. Próximamente, se incorporará la autosincronización en los multivibradores esclavos; ante la pérdida de la sincronización, deberán seguir al mismo ritmo durante un tiempo predeterminado.

Palabras clave: sincronización, señal binaria, multivibrador astable**,** robo de ciclo, luciérnaga electrónica.

1. Introducción

El resultado de la sincronización ha sido estudiado en sistemas dinámicos de diferente naturaleza como pueden ser electrónicos, químicos, biológicos y hasta ecológicos, por citar algunos [1-2]. Esta debe ser entendida como un ajuste, entre los propios ritmos de los sistemas osciladores, que lleva a la producción de uno uniforme, pese a que existan diferencias intrínsecas en los ritmos individuales y que algunas veces sus acoplamientos sean débiles. Cuando están sincronizados a ritmos o frecuencias equivalentes, la relación de las fases debe mantenerse puesto que es la que define el grado o calidad de la sincronización.

Los trabajos que simulan los sistemas biológicos son de los más representativos del tema [3-11]; en especial, los que han sido motivados por analogía con la sincronía que ocurre en los sistemas biológicos desiguales [12-16], como lo son las luciérnagas. En estos trabajos, se desarrolla la teoría y la experimentación para obtener luciérnagas electrónicas emuladoras basadas en [15] y que utilizan la optosincronización de los osciladores de circuito integrado [17]. En ese sentido, se consultaron algunos otros trabajos muy relevantes [18-22] y de verdadera aportación sobre la emulación de diferentes luciérnagas electrónicas optosincronizadas. En la mayoría de ellos, se observa que su análisis teórico y sus modelos matemáticos son difíciles de entender y mucho menos de tratar de enseñar en la práctica, y si a esto se suma que, en algunos casos muy particulares, existe un conocimiento mediano sobre la teoría y la aplicación de estos temas de sincronización en algunas comunidades académicas e industriales que cuentan con recursos limitados, esto manifiesta un escenario de oportunidad para fomentar y reforzar su autoenseñanza e instrucción a través de instituciones académicas con posgrados pertinentes. De entre los cuales, se puede identificar al de Instrumentación y Control [23], por mencionar al menos uno.

Ahora bien, en el presente trabajo se busca explicar, en forma sencilla y práctica, los fundamentos esenciales de la sincronización de circuitos osciladores con multivibradores astables, i.e., como se realiza el igualamiento dinámico entre las fases, o lo que se llama el robo de ciclo del oscilador esclavo por el oscilador maestro para sincronizarse. Para ello, se diseña un circuito igualador dinámico de fases que se aplica en una maqueta de luciérnagas electrónicas optosincronizadas en red, la cual fue construida con multivibradores astables transistorizados con fines de autoenseñanza.

De inicio y por su importancia, se estudian los fundamentos de la sincronización [1-2], en general, y en los circuitos multivibradores astables de transistores Mats [24], en particular, para conocer y exhibir, simulada y experimentalmente, como es que el Mat controlador Matc(maestro) roba el ciclo del Mat por controlarse Matpc(esclavo) y termina igualando la fase de éste a la de él, después de transcurrir un cierto número de ciclos [12 y 15, 25-26]; i.e., lo regresa de nuevo a la sincronización. Para lograr esto, se requiere conocer:

a) ¿Cómo es que el circuito de igualación dinámica de las fases roba el ciclo?,
b) ¿Cómo se conoce el número de ciclos gastados por el Matc(maestro) en esa labor? y
c) ¿Cómo validar experimentalmente el procedimiento propuesto en una maqueta, mencionada anteriormente, integrada por un Matc(maestro) y dos Matpc(esclavos)?

La organización del trabajo es la siguiente: en la Sección 2, se presentan las bases de los Mats selectos; en las Secciones 3 y 4, se describe el circuito recortador estático de fase

del esclavo por controlarse Matpc y el de igualación dinámica de fases vía el robo de ciclo del Matpc por el maestro controlador Matc, respectivamente. Se presenta la descripción de una aplicación relevante de igualación dinámica de fases a una red de luciérnagas electrónicas optosincronizadas y construidas con Mats, en la Sección 5. Los resultados y recomendaciones del estudio se presentan en la Sección 6 y las principales conclusiones en la Sección 7. Finalmente, los agradecimientos y las referencias bibliográficas aparecen en las Secciones 8 y 9, respectivamente.

2. El multivibrador astable de transistores

El Multivibrador astable de transistores (Mat), es un circuito oscilador que genera una señal cuadrada unipolar de frecuencia fija y cuyas características de oscilación dependen principalmente de las resistencias R3-R4 y de los capacitores C1-C2 que se muestran en el diagrama de la Figura 1. Desde el momento en que se energizan los transistores Q1 y Q2, estos inician y sostienen su oscilación. Comúnmente, los voltajes que se consideran de salida son los de los colectores en contrafase Vc1 y Vc2. Un ejemplo de esto son las señales de la base Vb2 (color: verde) y del colector Vc2 (inf.) del Q2, obtenidas de la simulación con el programa Electronics Workbench ® [27] y que se indican en ese orden en la Figura 2.

Un ciclo de la señal Vb2, del Q2 de la Figura 1, está constituido por: a) el voltaje exponencial (i.e., para cuando Q2 está en corte) y b) el voltaje de pedestal (i.e., para cuando Q2 está en saturación), como puede observarse en la parte superior (color: verde) de la Figura 2. Esta misma señal, produce los estados binarios del voltaje de salida Vc2 del Q2 que aparecen en la parte inferior (color: morado) de la Figura 2. Los procedimientos básicos de análisis de la operación del Mat, se consultan de [24] y se describe el ejercicio para la señal binaria Vc2 a través la Tabla 1. En dicha Tabla, se presentan las ecuaciones para calcular aproximadamente los tiempos de los estados T1 (s.) (i.e., para cuando Vc2= 1) y T2 (s.) (i.e., para cuando Vc2= 0), el período T (s.), el ciclo de trabajo CT (%) y la frecuencia de oscilación F (Hz). Donde, T1 y T2 representan las duraciones de los estados 1 y 0 del período T de la señal binaria Vc2, respectivamente.

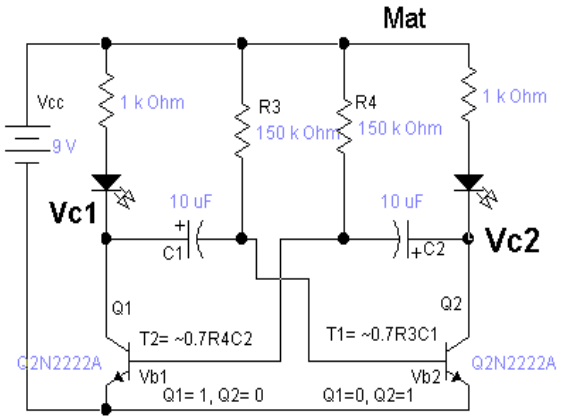


Figura 1. Multivibrador astable transistorizado (Mat) con un CT del 50% y su voltaje de salida binario Vc2; simulado con el programa Electronics Workbench ® [27] y construido según [24].

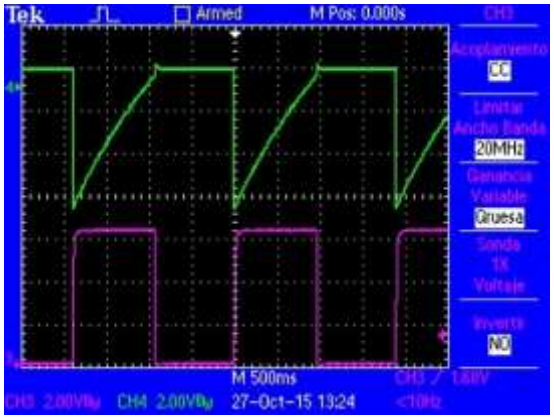


Figura 2. Señales binaria Vc2 (inf.) y exponencial Vb2 (verde) generadas por el Mat; con un CT del 50% y una duración del estado binario T1 (i.e., Vc2= 1) de ~ 0.7R3C1, dado que el estado exponencial Vb2 mantiene en corte al Q2, (abscisa en tiempo t, en s.; ordenada en amplitud A, en Voltios).

Un ejemplo del análisis realizado según [24], para conocer la duración del estado binario T1, cuando Q2, de la Figura 2, está en corte (i.e., Vc2= 1), lo describe la (Ec. 1) y su aproximada la (Ec. 2).

T1 = R3C1[ln((2Vcc-Vbe2sat-Vce2sat)/(Vcc-Vbe2sat))], **(Ec. 1)**

ahora bien, si Vcc ≥ 9 Vcd y las magnitudes de los voltajes de Vbe2sat (v.g., de 0.7 Vcd) y de Vce2sat (v.g., de 0.3 Vcd) son muy pequeñas, comparadas con la del Vcc, entonces el valor de T1 se puede aproximar por la siguiente expresión:

T1 = ~0.7R3C1, **(Ec. 2)**

para cuando Q2 está en saturación, la duración del estado binario T2 (i.e., Vc2= 0) se describe ahora por la expresión (Ec. 3); la cual ya fue aproximada de la misma manera que la (Ec. 1).

T2 = ~0.7R4C2**.** **(Ec. 3)**

Tabla 1. Ecuaciones para calcular aproximadamente tiempos, CT y frecuencia de la señal Vc2 del Mat.

Mat, Q's	Ecs. aproximadas
T1 (s.): duración estado binario, Q2=1	T1= ~0.7R3C1(Ec. 2)
T2 (s.): duración estado binario, Q2=0	T2= ~0.7R4C2 (Ec. 3)
T (s.): período total	T= T1+T2
CT (%): ciclo de trabajo	CT= T1/T
F (Hz): frecuencia de oscilación	F= 1/T

3. El circuito recortador estático de fase actuando sobre el Matpc

El circuito recortador estático de fase aplicado al Mat por controlarse, o esclavo Matpc(esclavo), se presenta en la Figura 3; su función principal es recortar la duración del estado del voltaje exponencial Vb2pc del Q2 para que se genere un pulso angosto en el Vc2pc y se disminuya su CT. El acoplamiento es eléctrico, se realiza a través del voltaje del emisor externo Veex del Qex y actua directamente sobre la base del Q2.

La duración del voltaje exponencial se recorta, porque la constante de tiempo en la (Ec. 5) así lo manda, cuando se cierra el interruptor (Int) y conduce el Qex, dado que la resistencia de colector externa Rcex domina, ya que se escoge de un valor mucho menor al de la R3, mientras que, cuando el Int se abre, el que manda es el de la R3 y, en este caso, la constante de tiempo regresa a su valor inicial dado por la (Ec. 2) y el Matpc se mantiene oscilando libremente.

Las ecuaciones que describen el procedimiento de recorte estático de fase se basan en la (Ec. 1) y en la (Ec. 2), y corresponden a la (Ec. 4) y a su aproximada la (Ec. 5).

T1'= (RcexR3/(Rcex + R3))C1[ln((2Vcc-Vbe2sat-Vce2sat)/(Vcc-Vbe2sat))], **(Ec. 4)**

siguiendo el criterio considerado para la (Ec. 2) de la Sección 2, i.e., si Vcc ≥ 9 Vcd, entonces las magnitudes de Vbe2sat y de Vce2sat son muy pequeñas comparadas con la del Vcc y si R3 >> Rcex, por lo que el valor de T1' se puede aproximar por la siguiente expresión:

T1' = ~0.7RcexC1. **(Ec. 5)**

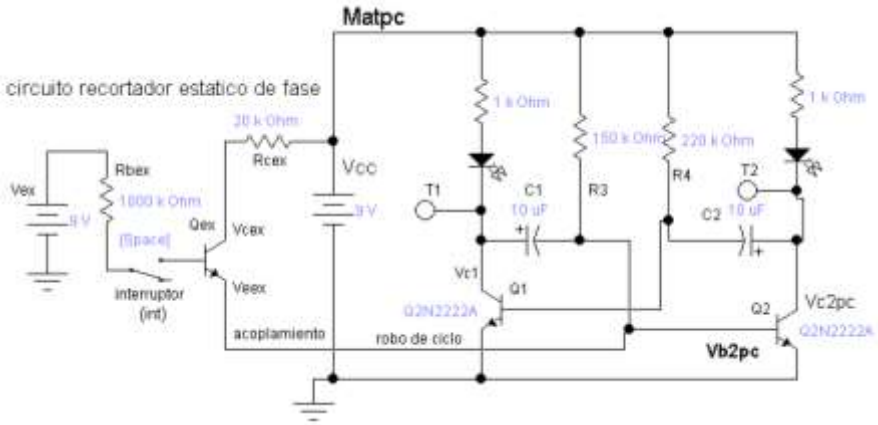


Figura 3. El circuito recortador estático de fase actuando sobre el Matpc, simulado con el programa Electronics Workbench ® [27].

Utilizando las ecuaciones aproximadas de la Tabla 1, los parámetros calculados para el Vc2pc, del circuito recortador estático de fase del Matpc de la Figura 3, son los siguientes: T1= 1.05 s., T2= 1.54 s., T= 2.59 s., F= 0.38 Hz y CT= 40.4%. La reducción del ancho del pulso de T1 al del pulso de T1´, se realiza por medio de la aproximación obtenida de la (Ec. 5). Esta reducción, es muy útil porque indicará la cantidad de ciclos que tendrá que recortar el Matc(maestro) para sincronizar al esclavo, en la forma que se describirá, en la sección 4. Para ilustrar esto y con fines de prueba, se proponen los valores representativos de 10, 20 y 40 Kilohmios para la Rcex y sus anchos de pulsos T1' obtenidos se muestran en la columna 2 de la Tabla 2; considerando que la duración del estado T2 se mantiene fija en 1.54 s.

Tabla 2. Variando Rcex es posible conocer el tiempo de sincronización, según la Sección 4. Siendo la señal del Vc2pc del Q2 la operadora y considerando el estado T2 con un valor fijo de 1.54 s.

Rcex(Kilohomios)	T1'(s.)	T(s.)	F(Hz)	CT(%)
10	0.07	1.61	1/1.61= 0.62	0.07/1.61= 4.3
20	0.14	1.68	1/1.68= 0.60	0.14/1.68= 8.3
40	0.28	1.82	1/1.82= 0.55	0.28/1.82= 15.4

En la Figura 4, se presenta el histórico de las señales Vc2pc (sup.) y Vb2pc que muestra lo que sucede sin, con y sin la reducción en el tiempo del voltaje exponencial (Ec. 5), cuando el Int del circuito recortador está abierto (v.g., para 3 ciclos normales), cerrado (v.g., para 5 ciclos recortados) y abierto de nuevo (v.g., para 3 ciclos normales), respectivamente. Dichas señales se obtienen de la simulación con el programa Electronics Workbench ® [27], cuando se considera el valor resistivo Rcex de 20 Kilohmios de la Tabla 2. Para el caso y como ya se dijo, se registra un factor de reducción de 7.5, el cual corresponde al cociente entre T1= 1.05 s. de la (Ec. 2) y T1´= 0.14 s. de la (Ec. 5) e indica el número de ciclos, o el tiempo máximo, que tardará en sincronizar al esclavo el Matc(maestro) siguiendo el procedimiento de la sección 4. Es claro observar que, entre más pequeño sea el ancho del pulso T1', el proceso señalado será más fino y por lo mismo más tardado. Otros parámetros que se alteran de esta acción de recorte del ciclo son la F (Hz) y el CT (%), el primero aumenta de 0.38 a 0.60 Hz y el segundo disminuye de

40.4 a 8.3% (c.f., con las Tablas de ecuaciones aproximadas y de variaciones paramétricas indicadas como 1 y 2, respectivamente).

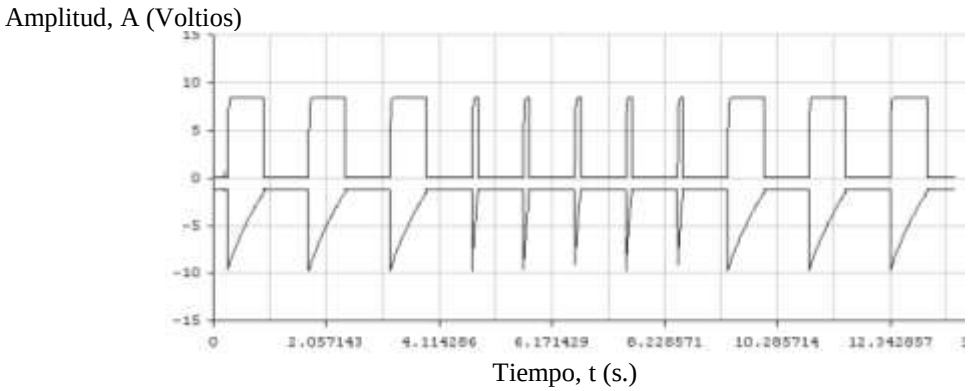


Figura 4. La señal de salida del Vc2pc (sup.) y del Vb2pc del Q2 del Matpc, respondiendo al circuito recortador estático cuando actua sobre un tren de 5 pulsos; se utilizan alternadamente los resitores R3 (3T1), Rcex (5T1´) y R3 (3T1) con sus constantes de tiempo asignadas, (abscisa en tiempo t, en s.; ordenada en amplitud A, en Voltios).

4. El circuito igualador dinámico de fases roba el ciclo al Matpc

La configuración del circuito igualador dinámico, se muestra en el diagrama de la Figura 5 y está constituida por los circuitos Matc(amo) y recortador estático. Este último, se acopla eléctricamente por medio de la señal Vb2pc al circuito Matpc. En la misma Figura y utilizando el programa Electronics Workbench ® [27] para la simulación, si el Int indicado se abre, cada Mat se desacopla y oscila libremente; cuando se cierra éste, se inicia la dinámica de igualación de las fases que llevará a la sincronización de las señales de las bases, Vb2c y Vb2pc, y por lo consiguiente las de los colectores, Vc2c (Tc) y Vc2pc (Tpc), como se muestra en las parejas de gráficas traslapadas de las Figuras 6 y 7. Es claro que, para que esto ocurra, la frecuencia del controlador Matc-maestro debe ser un poco mayor que la del Matpc-esclavo [12-15, 18-21].

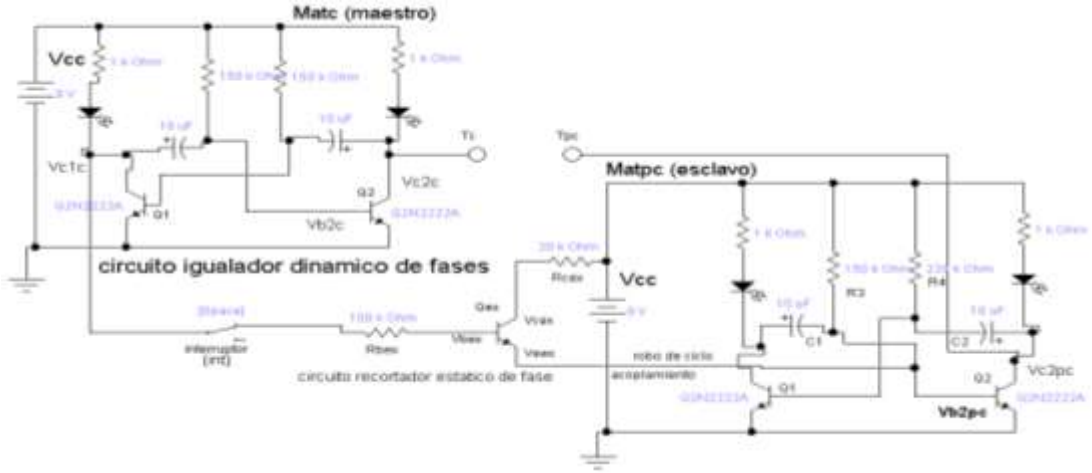


Figura 5. El Matc(maestro), con una F de 0.48 Hz y un CT del 50%, fuerza dinámicamente la fase del Matpc(esclavo), con una F de 0.39 Hz y un CT del 40.4%, para que se iguale a la suya a partir del cierre del Int, i.e., le roba el ciclo al esclavo y finalmente lo sincroniza. El circuito de simula con el programa Electronics Workbench ® [27].

Por ejemplo, si el Int indicado se cierra en t= 2.5 s., la señal cuadrada Vc1c del controlador Matc-maestro actúa sobre el circuito recortador de fase, para que éste por medio de Rbex controle la base del transistor Qex; si conduce, aparece Vcex= 0 y la nueva constante está dada por la (Ec. 5) para que se recorte la duración del pulso T1 en el Vb2pc (c.f., con el segundo impulso, en t= 2.5 s., de la señal inferior de la Figura 6), si no conduce todo sigue igual. Conforme empiezan a llegar los pulsos del Vc1c (c.f., con la señal superior de la Figura 6), se inicia la conmutación del Qex y se va registrando la igualación de fase entre los pulsos del controlador y los del por controlarse (c.f., con los ciclos de inicio en t= 2.5 s. y de terminación en t= 9.7 s. de la gráfica inferior de la Figura 6), terminando ésta hasta que la duración del período de Vb2pc llega a ser igual a la de Vb2c (c.f., con la señal superior de la Figura 6) y quedan sincronizados. Esta operación de robo de ciclo, le lleva 6 ciclos al Matc-maestro, producto del recorte desde el ciclo de inicio hasta el de terminación, como bien se muestra en la gráfica inferior de la misma figura. Es conveniente recordar que el número máximo de ciclos posibles está dado por el cociente entre los anchos de los pulsos T1 y T1' (i.e., de los tiempos dados por R3 del esclavo y Rcex del circuito recortador), como se puede apreciar en el caso de la Figura 7, donde al Matc(maestro) (sup.) le lleva 9 ciclos sincronizar al Matpc(esclavo); esto sucede así, porque las señales de los colectores arrancan en contrafase que es una posición muy extrema.

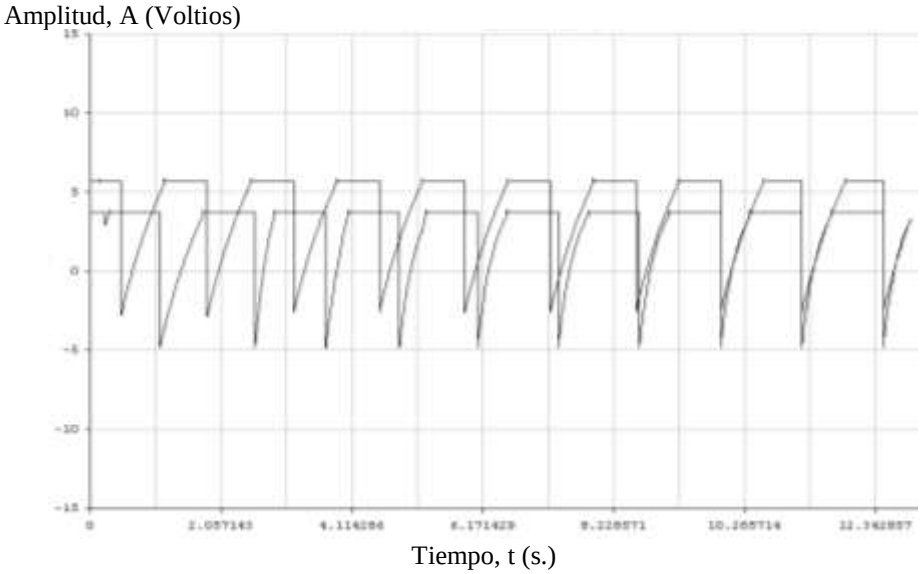


Figura 6, Histórico de la sincronización vía la igualación de las fases de los ciclos de las señales Vb2c-Matc(maestro) (sup.) y Vb2pc-Matpc(esclavo). A partir del cierre del Int en t= 2.5 s., le toma 6 ciclos al maestro realizar el proceso completo o su equivale ~9.70 s., (abscisas en tiempo t, s.; ordenada en amplitud A, en Voltios).

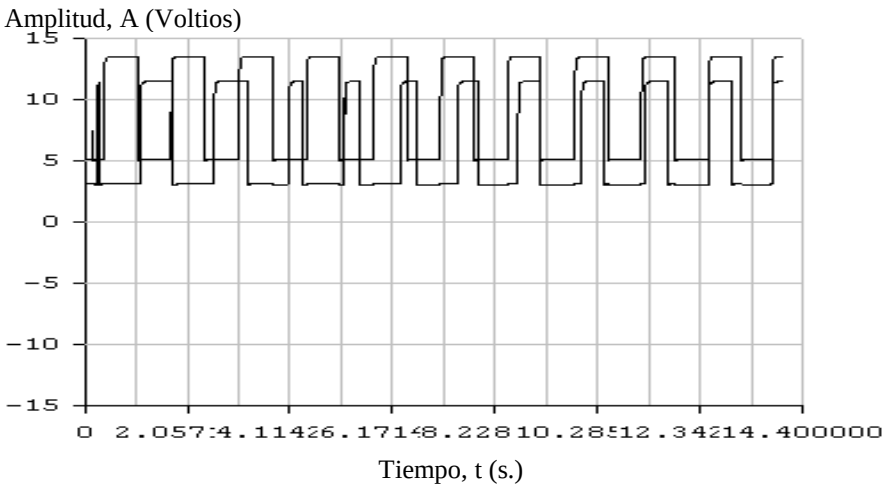


Figura 7. Histórico de la sincronización vía la igualación de los ciclos de las señales Vc2c-Matc(maestro) (sup.) y Vc2pc-Matpc(esclavo). A partir del cierre del Int en t= 1.028 s., el proceso se realiza en 9 ciclos del maestro o su equivalente en tiempo de ~12.50 s., (abscisa en tiempo t, s.; ordenada en amplitud A, en Voltios).

5. La aplicación de la igualación dinámica de fases a luciérnagas electrónicas optosincronizadas construidas con Mats

Para describir y validar el funcionamiento del circuito de igualación dinámica de fases en la maqueta de optosincronización de los Mats construida para autoenseñanza [25-27], se utilizan tanto el circuito de la Figura 8, con sus señales desplegadas en las Figuras 9 y 10, así como los parámetros de operación de los circuitos Matc(maestro) y Matpc(esclavo-A) presentados en la Tabla 3.

Según el diagrama funcional del circuito mencionado, se considera que se establece el acoplamiento óptico cuando se ilumina la base del fototransistor FT con la luz infrarroja proveniente del Delia del Matc (i.e., del Vc2c), la cual viaja a través del espacio libre y recorre una separación apropiada de 1 cm entre los participantes. Separación que asegura que no se presentara interferencia de luz natural. Esta acción, facilita la generación, en el colector del FT, del voltaje Vcf. Dicha generación depende de la fotoganancia, de la corriente del colector, de la resistencia Rcex y del voltaje momentáneo en el emisor del FT y que, por la dinámica de sus estados binarios, esta señal Vcf sea equivalente a la señal Vc1c.

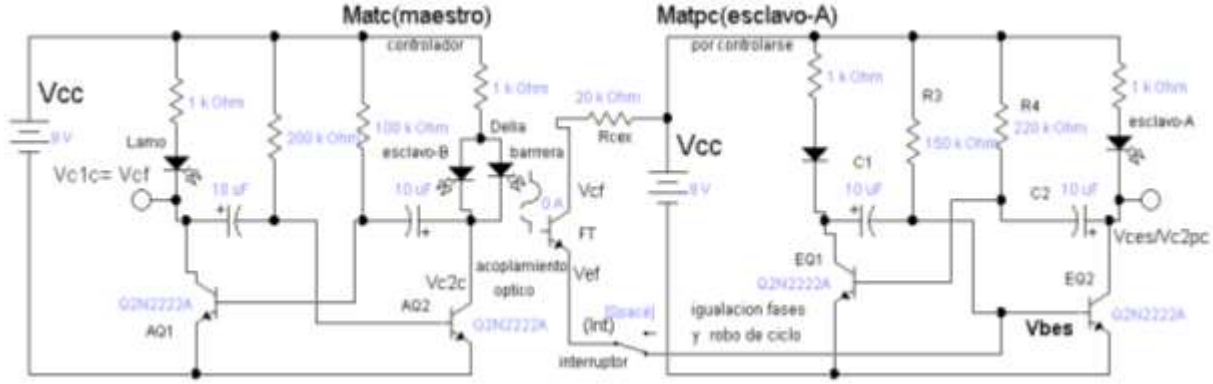


Figura 8. Diagrama funcional de la configuración para la igualación dinámica de fases y lograr la optosincronización entre el Matc(maestro) (Vc1c) y el Matpc(esclavo-A) (Vc2pc).

En la Tabla 3, se muestran: los tiempos de duración de los estados binarios de T1(1) y T2(0), el periodo total T, el ciclo de trabajo CT y la frecuencia de oscilación F para cada uno de los participantes de la Figura 8: el Matc(maestro) (Vc1c) y el Matpc(esclavo A) (Vc2pc). Se observa que la frecuencia del maestro se propone ligeramente mayor, que la del esclavo, para asegurar que el procedimiento de robo de ciclo y el de sincronización se realicen confiablemente.

Tabla 3, Parámetros de operación para tiempo y frecuencia del Matc(maestro) y del Mapc(esclavo-A).

Parámetros	**Matc(maestro) (Vc1c)**	**Matpc(esclavo-A) (Vc2pc)**
T1 (s.): duración del estado binario 1	0.70 s.	1.05 s.
T2 (s.): duración del estado binario 0	1.40 s.	1.54 s.
T (s.): período total	2.10 s.	2.59 s.
CT (%): ciclo de trabajo	67%	41%
F (Hz): frecuencia de oscilación	0.48 Hz	0.39 Hz

La gráfica superior de la Figura 9**,** muestra la dinámica de la señal Vcf del FT atendiendo a un tren de ciclos de la señal Vc2c del maestro que viaja a través del acoplamiento óptico. En el histórico de este voltaje Vcf, se observan dos eventos de asincronía, o de interrupción del tren, y dos eventos correspondientes al robo de ciclo para recuperar la sincronía. En ese mismo tenor, dentro del perfil histórico de la señal de voltaje Vbes, se va indicando con letra los ciclos de evolución (v.g., los ciclos a, b, f, …etc.) de los eventos ya mencionados, con la idea de facilitar su descripción; se hace referencia, en forma particular, a los ciclos a-c y f-m, en el párrafo siguiente.

En la primera interrupción por la barrera, que va de 0 a 1.98 s., el FT y el Matpc permanecen sin conducir y oscilando libremente (v.g., los ciclos a y b de la señal Vbes) (Ec. 2), respectivamente. Cuando se retira la barrera, pasan los 4 primeros ciclos igualadores del Matc-maestro a la base del FT y producen los estados correspondientes en el Vcf, v.g., cuando éste conduce se presenta un nivel bajo y se conecta la Rcex (Ec. 5) que hace que el siguiente pulso exponencial Vbes (v.g., el ciclo c de la señal Vbes) se recorte y produzca un pulso angosto en el Vces que reduce su ciclo de trabajo; esta acción se repite hasta que se llega al tercer ciclo (v.g., el ciclo f de la señal Vbes), el cual empieza a igualarse con el estado (+) del ciclo de Vcf, o la parte de corte del FT, y ya en el cuarto ciclo (v.g., el ciclo g de la señal Vbes) se logra el robo de ciclo y por ende la sincronización buscada. En este caso, le tomó 4 ciclos al amo regresar a la sincronización al esclavo; para la segunda interrupción por la barrera, que va de 2.58 a 2.84 s., el Matpc regresa a su oscilación libre (Ec. 2) durante dos ciclos (v.g., los ciclos h e i de la señal Vbes) y, finalmente, para el nuevo retiro de la barrera, se realiza el mismo procedimiento pero ahora se igualan 3 ciclos (v.g., los ciclos j, k y l de la señal Vbes) y, en el último (v.g., el ciclo m de la señal Vbes), se termina sincronizando el Matpc (Vces/Vc2pc) por el Matc (Vc1c/Vcf). En esta ocasión, le tomó 3 ciclos al Matc(maestro) regresar a la sincronización al esclavo. Es conveniente mencionar que las señales Vcf y Vc1c son idénticas y por ende son las que señalan la sincronización de los

componentes participantes, en este caso particular.

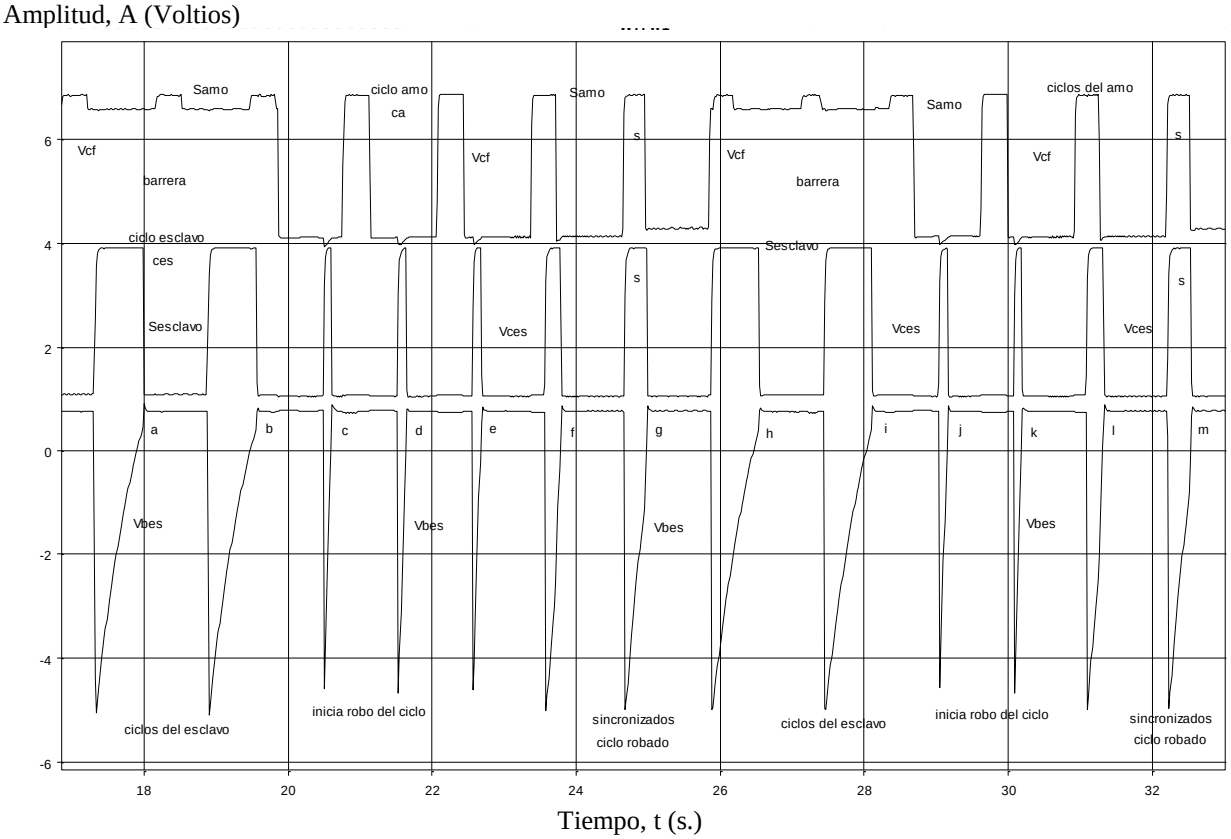


Figura 9. Histórico de las señales maestro/esclavo: Vcf/Vc1c (sup.), Vces/Vc2pc y Vbes (inf.) que describen gráficamente el robo de ciclo del Vces/Vc2pc del Matpc por el Vcf/Vc1c del Matc, para que este último, termine sincronizando al Matpc, después de 4 y 3 ciclos por evento, (abscisa en tiempo escalado por t*0.1, s.; ordenada en amplitud A, en Voltios).

En esta aplicación, el número máximo de ciclos que puede generar el maestro, para igualar y sincronizar, está dado por el cociente entre el tiempo en conducción el FT, dado por el estado (-) del ciclo de Vcf, y el tiempo del estado (+) del ciclo Vces recortado (v.g., si el tiempo del estado (-) de Vcf es 1.4 s. y el del estado (+) de Vces 0.14 s., el número máximo de ciclos es 10). Por ejemplo, para el primer evento, le lleva 4 ciclos la sincronización y para el segundo 3 ciclos, puesto que los instantes de inicio, en cada caso, son diferentes, como bien se observa en el recorrimiento de las señales Vcf y Vces de la figura mencionada**.**

En la Figura 10, se presenta una pantalla con un evento, muy semejante al anterior, que indica solo una asincronía, producto de la aparición momentánea de la barrera, y el cual se exhibe por las señales de salida (i.e., las superiores) traslapadas Vc1c/Vcf y Vces/Vc2pc. Los eventos, en ciclos utilizados por el maestro, se inician con: 4 sincronizados, 4 desincronizados, por la aparición de la barrera, de 7.0 a 12.0 s., 3 en proceso de igualación o de robo de ciclo, por el retiro de la barrera, de 12.0 a 15.5 s. y, finalmente, 6 sincronizados para las señales de salida mencionadas.

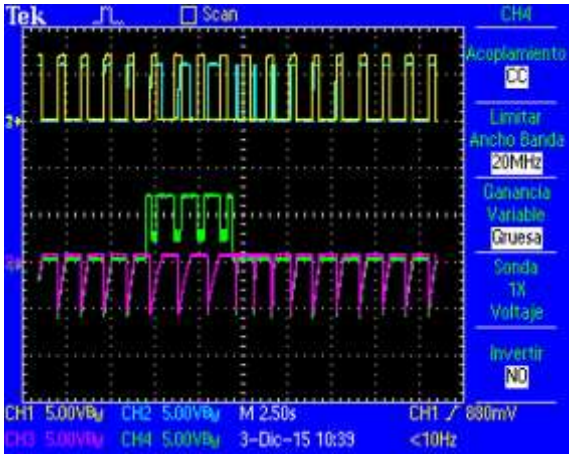


Figura 10. Históricos de las señales del Matc(maestro) (sup., amarillo) y Matpc(esclavo-A) (sup., azul) operando sin, con y sin barrera. Se presentan en ciclos del maestro: 4 sincronizados al inicio, 4 desincronizados (verde) por la barrera (v.g., aquí oscilan libremente los Mats) y 3 en igualación de fase o robo de ciclo (v.g., un poco después de la parte media, morado) y 6 sincronizados al final para las señales Vc1c/Vcf (amarillo) y Vces/Vc2pc (azul) traslapadas, (abscisa en tiempo t, s.; ordenada en amplitud A, en Voltios).

6. Resultados y recomendaciones

Se corroboró el funcionamiento del circuito igualador dinámico de fases que se basa en la conmutación de las constantes de tiempo: a) la desacoplada, o con el Matpc libre, y dada por (Ec. 2) y b) la acoplada, o con el Maptc comprometido, y dada por (Ec. 5). Esta última, es una buena opción para recortar el tiempo del estado exponencial del Vbes/Vb2pc del Matpc, puesto que, conforme los pulsos del controlador van recortando la fase de los del esclavo, o robándoles el ciclo, estas fases se van igualando, hasta que terminan siendo empatadas o sincronizadas. El y los circuitos mencionados se simulan con el programa Electronic Workbench® [27] y su procedimiento de sincronización/desincronización se realiza y prueba experimentalmente según [25-26]. Para esto último, se presentan las evidencias de las pruebas de funcionamiento, de las de sincronización/desincronización y de las de calibración con un metrónomo Wittner GmbH (modelo 830) en las Figuras 11, 12 y 13, respectivamente.

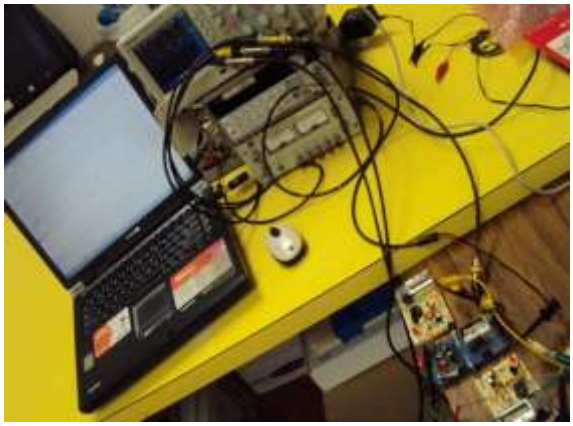


Figura 11. Se presenta un montaje para la realización de las pruebas de funcionamiento; en este caso, se muestra la sincronización, en tiempo real, de la red integrada por el Matc(maestro) y los Matpc(esclavos A y B) (viz., parte baja derecha).

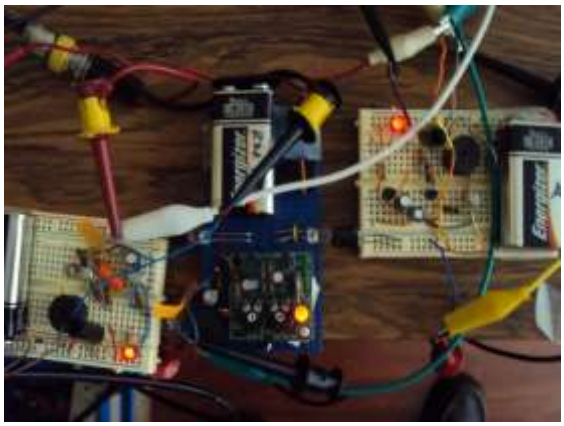


Figura 12, Se verifican las pruebas de sincronización/desincronización, en tiempo real, de la red Matc(maestro, i.e., al centro) y de los Matpc(esclavos A y B, i.e., en ambos lados).



Figura 13. Se muestra uno de los montajes que se realiza para la calibración, en tiempo real, del Matpc(esclavo B), utilizando un metrónomo de Wittner GmbH (modelo 830).

Los resultados más relevantes de este trabajo son:
a) los de la verificación de la igualación dinámica de las fases desplegadas en las Figuras 6 y 7,
b) los de la aplicación y validación de la igualación dinámica de las fases, en la red de luciérnagas electrónicas optosincronizadas de la maqueta, mostrados en las Figuras 9, 10 y 14, y finalmente,
c) los de los tiempos en sincronizarse de nuevo, por medio de la igualación ya mencionada.

Por ejemplo, en el inciso a), donde se indica en la Figura 7 que, en términos de ciclos utilizados por el controlador Matc, se requieren 9 ciclos para sincronizar de nuevo al Matpc, mientras que para el inciso b), se registran de 4 y 3 ciclos para regresarlo de nuevo a sincronía como se observa en la Figura 9. En ese sentido, si se desea aumentar o disminuir la velocidad, con la que el Matc roba el ciclo o sincroniza al Matpc, solo hay que escoger el valor apropiado de Rcex (v.g., para este caso, se debe consultar la Tabla 2 y utilizar la expresión de la (Ec. 5)).

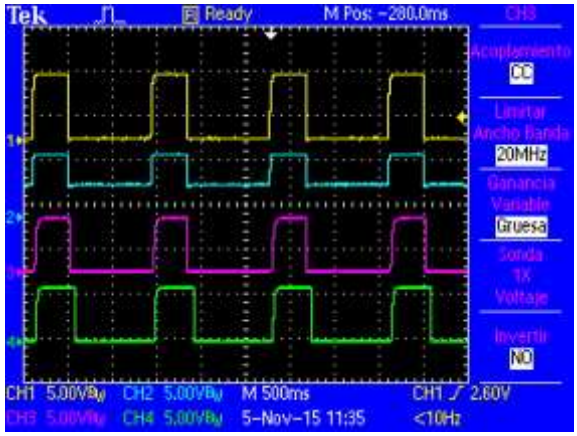


Figura 14. Señales mostrando la sincronización de la red del Matc(maestro) (Vc1c/Vcf (amarilla-1), sup.) y los Matpc(esclavos) (Vces (morada-3)-A y Vces (verde-4)-B) en funcionamiento (abscisa en tiempo t, s.; ordenada en amplitud A, en Voltios).

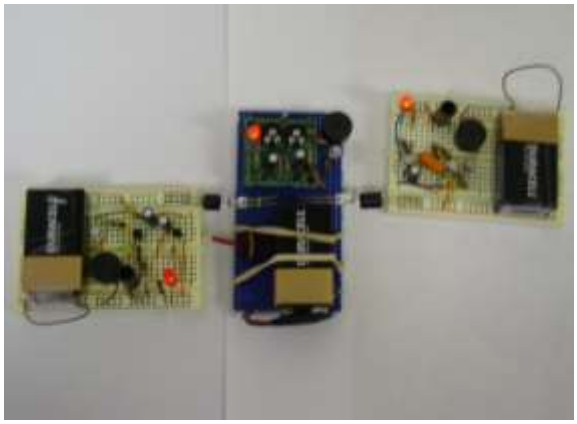


Figura 15. Finalmente, la red sincronizada del Matc(maestro) (centro) y dos Matpc(esclavos) cuyo funcionamiento lo evidencian los testigos lumínicos y sonoros correspondientes.

Finalmente, la comparación entre las características planteadas y las obtenidas, y su correspondiente diagnóstico, se materializa en la pantalla y fotografía mostradas en las Figuras 14 y 15, respectivamente. En ellas, se presentan las señales de los colectores, del Matc(maestro) (Vc1c/Vcf) y de dos Matpc-esclavos (Vces/Vc2pc), sincronizadas vía el procedimiento propuesto y su estado lo reportan los testigos lumínicos/sonoros indicados. Dicha red fue desarrollada y

validada para autoenseñanza en el curso institucional de Aplicaciones en instrumentación del análisis digital de señales [25].

Próximamente, se contempla lograr la autosincronización del Matpc, i.e., ante la pérdida de su sincronización, éste debe seguir funcionando durante un tiempo predeterminado hasta que pueda ser capturada su fase de nuevo.

7. Conclusiones

Se explica, en forma sencilla y práctica, el proceso de sincronización de los circuitos osciladores, utilizando la igualación dinámica de sus fases basada en el robo del ciclo de la señal Vbes del Matcp(esclavo) por el de la señal Vcf del Matc(maestro). Se diseñan, simulan, realizan y prueban los circuitos osciladores y se integran en una maqueta experimental para corroborar su funcionamiento y también que la señal de acoplamiento Vbes, de la Figura 8, es la medular en el procedimiento de sincronización.

Para el controlador Matc(maestro), lograr la igualación dinámica de fases, implica disminuir el ancho del pulso T1' del ciclo del esclavo con sus pulsos recortadores, los cuales conforme van realizando el recorte van sincronizando. La aplicación del procedimiento propuesto, al caso particular, de la red de luciérnagas electrónicas optosincronizadas, manifiesta que al Matc(maestro) le toman 4 y 3 ciclos por evento para meter de nuevo en sincronía al Matcp(esclavo). En vista de esto, se concluye que el tiempo por hacerse del ciclo del esclavo es aceptable y que depende del instante de inicio y del ancho del pulso T1'.

El producto de la comparación entre las características planteadas y las obtenidas, se corrobora con la pantalla y fotografía de las Figuras 14 y 15, respectivamente, donde se presentan las señales de salida del Matc(maestro) y de dos Matpc(esclavos) sincronizados y se constata, el buen funcionamiento de la maqueta, con los testigos lumínicos/sonoros que ahí se observan.

Finalmente, para continuar mejorando la red, se integrará la autosincronización del Matpc con la idea de que éste siga oscilando, sin cambio alguno y durante un tiempo predeterminado, pese a haber perdido la sincronía. La red de luciérnagas electrónicas optosincronizadas construida, se sigue utilizando para autoenseñanza en un par de cursos de posgrado y se cuenta con varios videos disponibles directamente con el autor.

8. Agradecimientos

Agradecemos al CONACYT por apoyar económicamente el presente a través de los proyectos: 631298, dirigido por el Dr. J. Álvarez G., y A1S26163 de ciencia básica, dirigido por el Dr. J. Peña R.

9. Referencias bibliográficas

[1] Blekhman, I., Synchronization in Science and Technology, ASME, N.Y., 1988.
[2] Quintero, R., Ocampo, M.A., Millán, B. y Aragón, J., Oscilación, armonía y simpatía, RMF, E53(1), 67-81, 2007.
[3] Buck, J., and Buck, E., Synchronous fireflies, Sci. Am. 234 (1), 74-85, 1976.
[4] Buck, J. and Buck, E., Toward a functional interpretation of synchronous flashing by fireflies, Amer. Natur., 112 (895), may-june 1978.
[5] Buck, J., Synchronous rhythmic flashing of fireflies. II. Quart. Rev. Biol., 63, 1988.

[6] Buck, J., and Buck, E., Mechanism of rhythmic synchronous flashing of fireflies, Science, 159, 1319-1327, 1968.
[7] Grassman, J. and Jansen, M., Mutually synchronized relaxation oscillators as prototypes of oscillating systems in biology, J. of Math., Biology, 7, 2, pp. 171-197, 1979.
[8] Strogatz, S.H. and Stewart, I., Coupled oscillators and biological synchronization, Sci. Am., 102-109, 1993.
[9] Strogatz, S.H., Mirollo, R.E. and Matthews, P.C., Coupled nonlinear oscillators below the synchronization threshold: relaxation by generalized Landau Damp, Phys. Rev. Letter 68, 2730-2733, 1992.
[10] Mirollo, R.E., and Strogatz, S.H., Synchronization of pulsed-coupled biological oscillators, SIAM J., APPL. MATH., V. 50, n. 6, December, 1990.
[11] Pikovsky, A., Rosenblum, M. and Kurths, J., Synchroniza-a univers. concept in nonlin. Scs., CUP, 2001.
[12] Ramírez, G.M., Guisset, J.L. and Deneubourg, J.L., Synchroniza in light-controlled oscillators, Phy., 2003.
[13] Guiset, J.L., Ramirez, G.M. and Deneubourg, J.L., Constructing coupled electronic fireflies and measuring their phase-locking behavior, Rev. Bol., Fis., 7, 102-114, 2001.
[14] Chaung, T.H., Chang, C., Byerly, J. and Slateen, Synchronized electronic firefly, http:// WWW2.ece.ohio-state.edu/~passino/firefly folder/frifohtml., 2014.
[15] Garver, W. and Moss, F., Electronic fireflies, Sci. Am. 269(6), 128-130, 1993.
[16] Arellano, A, Cruz, C., Lopez, R. M. and Posadas, C., Outer synchronization of simple firefly discrete modules with coupled returns, Hindawi, Mathematics problems in Eng., IO 895379, 14 pags, http://dx.doi.org/10.1155/2015, 2015.
[17] National Semiconductor, Cor., Linear Databook, LM555 Timer, no. 9, pp. 33-38, 1982.
[18] Hsiang, T., Yi, Ch., Byerly, J. and Slattery, Ch., Distributed synchronization of electronic fireflies, Workbook, DE&CE, OSU, Columbus, OH, 2004.
[19] Cabeza, C., Rubido, N., Kahan, S. and Marti, A.C., Synchronization of fireflies using a model of light controlled oscillators, Int.Conf. on Chaos&Nonlinear Dynamics, INPE, Brazil, July, 2010.
[20] Pisarchik, P.A., Jaime-Reategui, R. and Garcia-Lopez, J. H., Int., J. Bif. Chaos, 18, 1801, 2008.
[21] Guisset, J.L., Deneubourg, J.L. and Ramirez, G.M., The phase information associated to synchronized electronic fireflies, arXiv:nlin/0206036V1 [nlin.AO], june 2002.
[22] Núñez, R., Sincronización atípica de múltiples circuitos caóticos desacoplados y su aplicación en encriptamiento, Revista Ingeniería, Investigación y Tecnología, XIII (4), 489-502, 2012.
[23] CICESE, Posgrado DET, http: //electronica.cicese.mx/? posgrado= 1, 2021.
[24] Millman, J. and Taub, H., Pulse, digital and switching waveforms, McG-Hill, cap. 11, 1965.
[25] Núñez, R., Aplicaciones en instrumentación del ADS, curso: ET631, DET-CICESE, https://www.cicese.edu.mx/welcome/posgrados/, 2021.
[26] Núñez, R., Simple applications of basics functions and techniques to digitally

analyze and synthesize signals that can facility his teaching, RIIIT, IDT, Vol. 4, No. 24, 2017.
[27] Electronics Workbench®, Inc., V5, User Handbook, 2000.

Nomenclatura

Mat: multivibrador astable de transistores
Matc: multivibrador astable de transistores controlador (maestro)
Matpc: multivibrador astable de transistores por controlarse (esclavo)
CT (%): ciclo de trabajo
F (Hz): frecuencia de oscilación
T1(s.), T2(s.): duraciones de los estados binarios 1 y 0, respectivamente
Q1, Q2: transistores bipolares
FT: fototransistor
Delia: diodo emisor de luz infrarroja.